

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of: **John David BANIECKI et al.**

Serial Number: **Not Yet Assigned**

Filed: **March 3, 2004**

**Customer No.: 38834**

**For: THIN FILM CAPACITIVE ELEMENT, METHOD FOR PRODUCING SAME  
AND ELECTRONIC DEVICE**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P. O. Box 1450  
Alexandria, VA 22313-1450

March 3, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

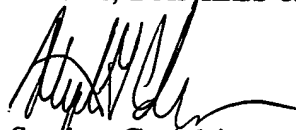
**Japanese Appln. No. 2003-066787, filed on March 12, 2003**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,  
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP



Stephen G. Adrian  
Reg. No. 32,878

Atty. Docket No.: 042161  
1250 Connecticut Ave, N.W., Suite 700  
Washington, D.C. 20036  
Tel: (202) 822-1100  
Fax: (202) 822-1111  
SGA/II

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日                      2003年 3月12日  
Date of Application:

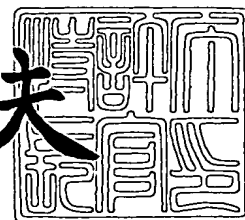
出願番号                      特願2003-066787  
Application Number:  
[ST. 10/C]:                      [JP 2003-066787]

出願人                      富士通株式会社  
Applicant(s):

2003年12月11日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号    出証特2003-3103070



【書類名】 特許願

【整理番号】 0241491

【提出日】 平成15年 3月12日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01G 4/33  
H01L 27/00

【発明の名称】 薄膜キャパシタ素子、その製造方法及び電子装置

【請求項の数】 10

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

    【氏名】 ジョン デイビット ベネキ

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

    【氏名】 塩賀 健司

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

    【氏名】 栗原 和明

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100077517

    【弁理士】

    【氏名又は名称】 石田 敬

    【電話番号】 03-5470-1900

## 【選任した代理人】

【識別番号】 100086276

【弁理士】

【氏名又は名称】 吉田 維夫

## 【選任した代理人】

【識別番号】 100092624

【弁理士】

【氏名又は名称】 鶴田 準一

## 【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

## 【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

## 【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9905449

【プルーフの要否】 要

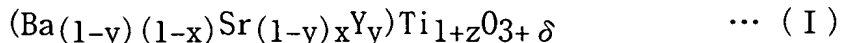
【書類名】 明細書

【発明の名称】 薄膜キャパシタ素子、その製造方法及び電子装置

【特許請求の範囲】

【請求項 1】 基板と、その基板の上方に形成された、誘電体層を下部電極層及び上部電極層で挟んで構成されたキャパシタ構造体とを含む薄膜キャパシタ素子であって、

前記誘電体層が、次式 (I) により表される高誘電率の誘電材料:



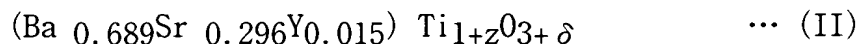
(上式において、 $0 < x < 1$ であり、 $0.007 < y < 0.02$ であり、 $-1 < \delta < 0.5$ であり、そして  $(\text{Ba}(1-y)(1-x) + \text{Sr}(1-y)_x)/\text{Ti}_{1+z} < 1$ である) からなることを特徴とする薄膜キャパシタ素子。

【請求項 2】 前記誘電体層が、 $1 \sim 300 \text{ nm}$ の厚さを有することを特徴とする請求項 1 に記載の薄膜キャパシタ素子。

【請求項 3】 前記基板が、半導体材料もしくはウエハからなることを特徴とする請求項 1 又は 2 に記載の薄膜キャパシタ素子。

【請求項 4】 前記下部電極層が、遷移金属、貴金属、貴金属の合金、貴金属と非貴金属の合金、導電性酸化物及びその組み合わせもしくは混合物からなる群から選ばれた少なくとも 1 種類の材料を含むことを特徴とする請求項 1 ～ 3 のいずれか 1 項に記載の薄膜キャパシタ素子。

【請求項 5】 前記誘電体層の誘電材料が、次式 (II) :



によって表され、式中、 $0.02 < z < 0.05$  及び  $-0.3 < \delta < 0.3$ であることを特徴とする請求項 1 ～ 4 のいずれか 1 項に記載の薄膜キャパシタ素子。

【請求項 6】 前記誘電体層の誘電材料が、次式 (III) :



によって表され、式中、 $0.02 < z < 0.05$  及び  $-0.3 < \delta < 0.3$ であることを特徴とする請求項 1 ～ 4 のいずれか 1 項に記載の薄膜キャパシタ素子。

【請求項 7】 前記上部電極層が、遷移金属、貴金属、貴金属の合金、貴金属と非貴金属の合金、導電性酸化物及びその組み合わせもしくは混合物からなる

群から選ばれた少なくとも 1 種類の材料を含むことを特徴とする請求項 1～6 のいずれか 1 項に記載の薄膜キャパシタ素子。

【請求項 8】 基板と、その基板の上方に形成された、誘電体層を下部電極層及び上部電極層で挟んで構成されたキャパシタ構造体とを含む薄膜キャパシタ素子を製造する方法であって、

基板上に下部電極層を形成する工程と、

前記下部電極層の上に、次式 (I) により表される高誘電率の誘電材料：



(上式において、 $0 < x < 1$ であり、 $0.007 < y < 0.02$ であり、 $-1 < \delta < 0.5$ であり、そして  $(\text{Ba}(1-y)(1-x) + \text{Sr}(1-y)_x)/\text{Ti}_{1+z} < 1$ である) から誘電体層を形成する工程と、

前記誘電体層の上に上部電極層を形成してキャパシタ構造体を完成する工程とを含んでなることを特徴とする薄膜キャパシタ素子の製造方法。

【請求項 9】 前記誘電体層を 1～300 nm の厚さで形成することを特徴とする請求項 8 に記載の薄膜キャパシタ素子の製造方法。

【請求項 10】 少なくとも 1 個の電子素子及び少なくとも 1 個の、請求項 1～7 のいずれか 1 項に記載の薄膜キャパシタ素子を含んでなることを特徴とする電子装置。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、キャパシタ素子に関し、さらに詳しく述べると、半導体基板などの基板の上に薄膜製造プロセスでキャパシタ構造体を形成した薄膜キャパシタ素子に関する。本発明はまた、薄膜キャパシタ素子の製造方法及び薄膜キャパシタ素子を搭載した電子装置に関する。

##### 【0002】

#### 【従来の技術】

近年の LSI の処理高速化により、高周波ノイズの拡散防止策としてデカップリング処理が行なわれ、そこで使用されるデカップリングキャパシタの高周波追

随性能の向上が望まれている。ここで、デカップリングキャパシタの高周波追従性能を向上させるためには、デカップリングキャパシタが、高容量かつ分離された回路内で低インダクタンス接続が可能であること等の特性を有することが必要であり、この要望に答えたものとして、半導体基板上に、薄膜製造プロセスにてキャパシタを形成した薄膜キャパシタ素子（「薄膜キャパシタ」、「薄膜容量素子」などとも呼ばれる）が知られている。

#### 【0003】

薄膜キャパシタ素子は、小型高容量でかつ微細加工性に優れるため、回路基板との接続を、端子間ピッチが狭いバンプ接続の形態とすることが可能であり、それによって相互インダクタンスを減らし、LSIとの低インダクタンス接続に対して有効に作用することができる。薄膜キャパシタ素子は、通常、誘電体層を下部電極層及び上部電極層で挟んで構成されたキャパシタ構造体を基板の上に含む構造を有している。このような構造をもった薄膜キャパシタ素子の一例として、例えば、基板上に順次形成された、下部電極、強誘電体又は高誘電体である絶縁性金属酸化物からなる容量絶縁膜、上部電極及び保護絶縁膜から構成される容量素子であって、前記保護絶縁膜には、前記下部電極と下部電極用配線とを接続するか又は前記上部電極と上部電極用配線とを接続するためのコンタクトホールが形成されており、前記コンタクトホールの開口部の面積が $5\mu\text{m}^2$ 以下であることを特徴とする容量素子を挙げることができる（特許文献1）。この容量素子の場合、誘電体層の材料として使用されている金属酸化物が素子の製造工程時に還元されて特性劣化を起こすという問題を解決することができる。

#### 【0004】

誘電体層を構成する金属酸化物について見ると、現在、例えばバリウムストロンチウムチタネートのような薄膜 $\text{ABO}_3$ ペロブスカイト・タイプの誘電材料が、マイクロ波及びRFデバイスにおいて使用するための電圧追従性（voltage tunable）キャパシタ素子としてあるいはデカップリングキャパシタ及びDRAM用途用の電荷蓄積デバイスとして広く研究されている。これらの用途の場合、容量の電圧追従性 $\Delta C(V)$ が高いこと及び（又は）容量密度が高いことが必要である。ここで、電圧追従性 $\Delta C(V)$ は、次式によって表すことができる。

## 【0005】

$$\Delta C(V) = 100 \times (C_{\max} - C_{\min}) / C_{\min}$$

上式において、 $C_{\max}$  は、電圧適用時の容量密度の最大値であり、また、 $C_{\min}$  は、電圧適用時の容量密度の最小値である。

## 【0006】

しかし、従来のキャパシタ素子の場合、いろいろな解決すべき問題点が残されている。主たる問題点のひとつは、電圧追従性キャパシタ素子の用途や、高い容量密度及び低い誘電損失が求められる用途において、例えば(Ba, Sr)TiO<sub>3</sub>のような多結晶で高誘電率の酸化物薄膜の使用が阻害されているということである。よって、従来のキャパシタ素子の場合、誘電損失やリーク（電流の漏洩）を低く抑えながら、容量の高い電圧追従性及び（又は）高い容量密度を達成することができない。ここで、ABO<sub>3</sub>酸化物薄膜について見ると、その容量の高い電圧追従性及び高い比誘電率は、ABO<sub>3</sub>ペロブスカイト格子のB面カチオンのイオン性変位に由来するものであり、また、容量の高い電圧追従性や高い容量密度を達成するに当たっては、薄膜における応力（ストレス）を最適化することが重要であると考察される。但し、薄膜の結晶性は処理温度を高めることによって達成できるかもしれないけれども、高温処理を行った場合、許容し得ない程度に高いリークや誘電損失が発生することがしばしばである。また、格子整合のとれた基板上で薄膜を成長させることによって薄膜の応力あるいは歪みをコントロールすることができるとは限らないが、この場合、薄膜の形成に使用できる基板の種類が制限されるという厳しい制限を避けることができない。

## 【0007】

## 【特許文献1】

特開2000-49311号公報（特許請求の範囲、図1～図3）

## 【0008】

## 【発明が解決しようとする課題】

本発明は、上記のような従来の技術の問題点を解決することを目的とする。

## 【0009】

本発明の1つの目的は、容量の高い電圧追従性と高い容量密度を同時に満足さ



せることのできる薄膜キャパシタ素子を提供することにある。

【0010】

本発明のもう1つの目的は、許容し得ない程度に大きなリークや誘電損失を引き起こすことなくより高い温度で取り扱うことのできる薄膜キャパシタ素子を提供することにある。

【0011】

また、本発明のもう1つの目的は、広範囲の基板を使用することのできる薄膜キャパシタ素子を提供することにある。

【0012】

さらに、本発明のもう1つの目的は、高性能な電子装置を製造するのに有用な薄膜キャパシタ素子を提供することにある。

【0013】

さらにまた、本発明の目的は、本発明の薄膜キャパシタ素子を製造するのに有用な製造方法を提供することにある。

【0014】

また、本発明のもう1つの目的は、本発明の薄膜キャパシタ素子を備えた電子装置を提供することにある。

【0015】

本発明の上記したような目的やその他の目的は、以下の詳細な説明から容易に理解することができるであろう。

【0016】

【課題を解決するための手段】

本発明は、その1つの面において、基板と、その基板の上方に形成された、誘電体層を下部電極層及び上部電極層で挟んで構成されたキャパシタ構造体とを含む薄膜キャパシタ素子であって、

前記誘電体層が、次式 (I) により表される高誘電率の誘電材料：



(上式において、 $0 < x < 1$ であり、 $0.007 < y < 0.02$ であり、 $-1 < \delta < 0.5$ であり、そして  $(\text{Ba}_{1-y}(\text{1-x}) + \text{Sr}_{1-y}\text{x})/\text{Ti}_{1+z} < 1$ である) からなることを特徴とする薄

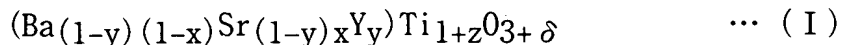
膜キャパシタ素子にある。

【0017】

また、本発明は、そのもう1つの面において、基板と、その基板の上方に形成された、誘電体層を下部電極層及び上部電極層で挟んで構成されたキャパシタ構造体とを含む薄膜キャパシタ素子を製造する方法であって、

基板上に下部電極層を形成する工程と、

前記下部電極層の上に、次式 (I) により表される高誘電率の誘電材料：



(上式において、 $0 < x < 1$ であり、 $0.007 < y < 0.02$ であり、 $-1 < \delta < 0.5$ であり、そして  $(\text{Ba}(1-y)(1-x) + \text{Sr}(1-y)_x)/\text{Ti}_{1+z} < 1$ である) から誘電体層を形成する工程と、

前記誘電体層の上に上部電極層を形成してキャパシタ構造体を完成する工程とを含んでなることを特徴とする薄膜キャパシタ素子の製造方法にある。

【0018】

さらに、本発明は、そのもう1つの面において、少なくとも1個の電子素子及び少なくとも1個の、本発明による薄膜キャパシタ素子を含んでなることを特徴とする電子装置にある。

【0019】

以下に詳細に説明するように、本発明は、キャパシタ素子の誘電体層の形成において、低い誘電損失と低いリーク（電流漏洩）を維持する一方で、容量についての高められた電圧追従性及び高められた容量密度を呈示することのできる特定の組成の誘電材料を使用することを特徴としている。本発明者らは、高誘電率の材料である  $(\text{Ba}(1-x)\text{Sr}_x)\text{Ti}_{1+z}\text{O}_{3+\delta}$  を特定の Y 変性組成で使用した場合、容量の電圧追従性と容量密度に関して優れて良好な結果を達成できるということを発見した。ここで、Y は、 $\text{ABO}_3$  ペロブスカイト格子に含まれる両性のドーパントであり、A/B サイトの比に応じて、A サイトあるいは B サイトのいずれか一方で置換可能である。ここで、もしも  $(\text{Ba}+\text{Sr})/\text{Ti} < 1$  である場合、Y は、A サイトにおいて主として置換され、一方、もしも  $(\text{Ba}+\text{Sr})/\text{Ti} > 1$  である場合、Y は、B サイトにおいて主として置換される。Y 原子がどちらのサイトを占有するかとい

うことは、X線回折の測定を通じて決定することができる。いずれの場合にも、ペロブスカイト格子に含まれるYの原子価は $Y+3$ であり、そのため、 $(Ba+Sr)/Ti < 1$ である場合、Yはドナーとなり、一方、 $(Ba+Sr)/Ti > 1$ である場合、Yはアクセプタ型のドーパントとなる。

### 【0020】

#### 【発明の実施の形態】

以下、添付の図面を参照しながら、本発明をその好ましい実施の形態について説明する。なお、本発明は、下記の実施の形態に限定されるものではなく、本発明の範囲内でいろいろに改良もしくは変更することができる。

### 【0021】

本発明によるキャパシタ素子は、薄膜タイプのキャパシタ素子であり、好ましくは、2つもしくはそれ以上のキャパシタ（キャパシタ素子）を一体化した製品の形で使用される。基本的に、本発明のキャパシタ素子は、基板と、その基板の上に形成されたキャパシタ構造体とを含んで構成され、また、キャパシタ構造体は、下部電極（下部電極層）、下部電極層上に形成された誘電体層及び誘電体層上に形成された上部電極（上部電極層）から構成される。

### 【0022】

本発明の好ましい1実施形態によるキャパシタ素子の簡単な構成例は、図1に示す通りである。図示されるように、キャパシタ素子10は、例えばシリコン基板のような基板1を有し、また、この基板1の上には、キャパシタ構造体11が作り込まれている。キャパシタ構造体11は、基板の側から順に、例えばPt電極のような下部電極層2、例えば $(BaSrY)TiO_3$ 層のような誘電体層3、そしてPt電極のような上部電極層4を有している。キャパシタ構造体11の上面は、例えばエポキシ樹脂のような絶縁性樹脂から形成された絶縁層5で保護されている。さらに、絶縁層5にはコンタクトホール6及び16が開口されており、それぞれのコンタクトホールには導体金属、例えば銅（Cu）が充填されている。コンタクトホール6及び16の最上面は、それぞれ、電極パッド6a及び16aを有している。電極パッド6a及び16aには、それぞれ、はんだボール（図示せず）のような外部端子を取り付けることができる。外部端子には、任意の電子素子

、例えば半導体素子、例えばLSIチップなどを実装することができる。ここでは図示しないけれども、キャパシタ素子は、もしも必要ならば、1層もしくはそれ以上の追加の層を任意の適当な位置に有していてもよい。

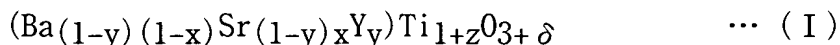
#### 【0023】

本発明の薄膜キャパシタ素子において、キャパシタ構造体を構成する誘電体層は、キャパシタ素子、電子装置などの構成やその他のファクタに応じていろいろな厚さを有することができる。誘電体層の厚さは、一般的には約1～300nmの範囲であり、好ましくは約10～300nmの範囲である。

#### 【0024】

誘電体層は、好ましくは、約10～1,000のオーダーの誘電率を有している高誘電率の誘電材料から形成される。本発明の実施において適当な高誘電率の誘電材料は、次式(I)により表される誘電材料である。

#### 【0025】



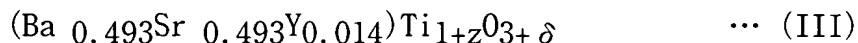
上式において、 $0 < x < 1$ であり、 $0.007 < y < 0.02$ であり、 $-1 < \delta < 0.5$ であり、そして $(\text{Ba}_{(1-y)}(\text{1-x}) + \text{Sr}_{(1-y)x})/\text{Ti}_{1+z} < 1$ である。

#### 【0026】

さらに好ましくは、本発明において使用される高誘電率の誘電材料は、次式(II)により表される誘電材料:



(式中、 $0.02 < z < 0.05$  及び  $-0.3 < \delta < 0.3$ である)あるいは次式(III)により表される誘電材料:



(式中、 $0.02 < z < 0.05$  及び  $-0.3 < \delta < 0.3$ である)である。

#### 【0027】

これらの高誘電率の誘電材料の他に、誘電体層の形成のため、以下に列挙するものに限定されるわけではないけれども、 $\text{BaTiO}_3$ ,  $\text{SrTiO}_3$ ,  $(\text{Ba}, \text{Sr})\text{TiO}_3$ ,  $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ ,  $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ ,  $\text{KNbO}_3$ ,  $\text{Pb}(\text{Mg}_{1/3}\text{Nb}_{2/3})\text{O}_3$ や、これらの誘導材料にドーパントを導入した変成組成物を使用してもよい。

## 【0028】

本発明によるキャパシタ素子の誘電体層を形成するに当たって上述のような高誘電率の誘電材料を使用するのが有用である理由は、添付の図2～図5のグラフから容易に理解することができるであろう。

## 【0029】

図2は、 $(\text{Ba}+\text{Sr})/\text{Ti} < 1$  又は  $(\text{Ba}+\text{Sr})/\text{Ti} > 1$  の場合にYをドーピングし、さらにBa/Srの比を7/3に、かつ  $z = 0$  及び  $\delta = 0$ とした場合の、Y (a t %) と比誘電率の関係をプロットしたグラフである。図2に示されるように、 $(\text{Ba}+\text{Sr})/\text{Ti} < 1$  もしくは  $(\text{Ba}+\text{Sr})/\text{Ti} > 1$  のいずれであるか否かに応じて、容量密度に及ぼすYドーピングの効果に顕著な差が出てくる。比誘電率の最適値は、 $(\text{Ba}+\text{Sr})/\text{Ti} < 1$  (主として、Aサイト置換) 及び  $0.007 < y < 0.018$ の時に達成することができる。

## 【0030】

図3は、 $(\text{Ba}+\text{Sr})/\text{Ti} < 1$ ,  $\text{Ba}/\text{Sr} = 7/3$ ,  $z = 0$  及び  $\delta = 0$ の場合の、容量損失  $\tan \delta$  (%) と容量密度の関係をプロットしたグラフである。図3に示されるように、Yが1.5 a t %の場合、DCバイアスがゼロの時に50%の比誘電率の増加を達成することができ、その際、何らかの誘電損失を伴うこともない。

## 【0031】

図4は、 $(\text{Ba}+\text{Sr})/\text{Ti} < 1$ ,  $\text{Ba}/\text{Sr}=7/3$ ,  $z = 0$  及び  $\delta = 0$ の場合の、Y (a t %) と漏洩電流の関係をプロットしたグラフである。図4に示されるように、 $\text{Ba}+\text{Sr})/\text{Ti} < 1$ の場合、Yのドーピングとともに電流漏洩を改善することができる。

## 【0032】

図5は、 $(\text{Ba}+\text{Sr})/\text{Ti} < 1$ ,  $\text{Ba}/\text{Sr}=7/3$ ,  $z = 0$  及び  $\delta = 0$ の場合について、Y (a t %) の関数としての容量密度の電圧追従性をプロットしたグラフである。特定のY変性組成物は、印加バイアスがゼロの時ににおいて容量密度の大きさを増大させるばかりでなく、容量の電圧追従性も改良することができる。なぜなら、Yのドーピングに由来する追加の容量は、電圧の印加とともに線形に変化しないからである。容量の電圧追従性の改良は、Yが1.5 a t %の時に12%である。

## 【0033】

したがって、図2～図5に示されるように、特定の組成物についてYをドーピングした場合、電流漏洩及び誘電損失を低く抑える一方で容量の電圧依存性及び容量密度を顕著に向上させることができ、よって、本発明のキャパシタ素子を実装したデバイスの挙動を優れたものとなすことができる。

## 【0034】

本発明のキャパシタ素子において、基板は、任意の適当な材料から形成することができる。基板は、電気絶縁性の材料から形成することが好ましい。適当な絶縁性の材料は、以下に列挙するものの限定されるわけではないけれども、ガラス、半導体材料、樹脂材料などを包含する。また、基板の厚さは、広い範囲で変更することができるけれども、好ましくは、約1～1,000 $\mu\text{m}$ の範囲であり、さらに好ましくは、約100～500 $\mu\text{m}$ の範囲である。

## 【0035】

本発明の実施に当たっては、特に半導体材料もしくはウエハを絶縁性の基板として有利に使用することができる。ここで、半導体材料もしくはウエハは、いろいろな材料から形成することができるが、Si, Ge, SiGe, GaAs, InAs, InP 及び周期律表の第III族及び第V族の元素から誘導されたその他の化合物からなる群から選ばれる少なくとも1種類の材料を含むことが好ましい。

## 【0036】

また、キャパシタ素子は、その基板の上にさらに、1層もしくは2層以上の絶縁層が積層されていてもよい。絶縁層は、任意の絶縁材料から形成することができるけれども、金属の酸化物、窒化物又はオキシ窒化物、高誘電率の金属酸化物、キセロゲル、有機樹脂又はその組み合わせもしくは混合物からなる群から選ばれる少なくとも種類の絶縁材料から形成するのが好ましい。絶縁層は、単層の形で使用してもよく、さもないと、2層以上の多層構造体の形で使用してもよい。いずれの場合にも、絶縁層の厚さは広い範囲で変更することができ、好ましくは、約0.01～1,000 $\mu\text{m}$ の範囲であり、さらに好ましくは、約0.01～100 $\mu\text{m}$ の範囲である。

## 【0037】

さらに、キャパシタ素子は、基板とキャパシタ構造体の間に密着層をさらに含んでいてもよい。密着層には、両者の間の結合強度を増加させるなどの働きがあるからである。密着層は、いろいろな材料から形成することができるけれども、貴金属、貴金属の合金、貴金属と非貴金属の合金、貴金属の導電性酸化物、絶縁性の金属酸化物、絶縁性の金属窒化物、導電性の金属窒化物及びその組み合わせもしくは混合物からなる群から選ばれた少なくとも1種類の材料から形成するのが好ましい。密着層形成材料の適当な例は、以下に列挙するものに限定されるわけではないけれども、Pt, Ir, Zr, Ti,  $TiO_x$ ,  $IrO_x$ ,  $PtO_x$ ,  $ZrO_x$ , TiN, TiAlN, TaN, TaSiNなどを包含する。密着層は、単層の形で使用してもよく、さもないければ、2層以上の多層構造体の形で使用してもよい。いずれの場合にも、密着層の厚さは広い範囲で変更することができ、好ましくは、約1～1,000 nmの範囲であり、さらに好ましくは、約1～100 nmの範囲である。

#### 【0038】

キャパシタ素子において、下部電極層は、いろいろな導電性材料から形成することができるけれども、遷移金属、貴金属、貴金属の合金、貴金属と非貴金属の合金、導電性酸化物及びその組み合わせもしくは混合物からなる群から選ばれた少なくとも1種類の導電性材料から形成することが好ましい。下部電極層形成材料の適当な例は、以下に列挙するものに限定されるわけではないけれども、Pt, Pd, Ir, Ru, Rh, Re, Os, Au, Ag, Cu,  $PtO_x$ ,  $IrO_x$  及び  $RuO_x$  (式中、 $x$ は、正の整数である) からなる群から選ばれた少なくとも1種類の材料を包含する。下部電極層は、単層の形で使用してもよく、さもないければ、2層以上の多層構造体の形で使用してもよい。いずれの場合にも、下部電極層の厚さは広い範囲で変更することができ、好ましくは、約1～1,000 nmの範囲であり、さらに好ましくは、約1～100 nmの範囲である。

#### 【0039】

また、上部電極層は、いろいろな導電性材料から形成することができるけれども、遷移金属、貴金属、貴金属の合金、貴金属と非貴金属の合金、導電性酸化物及びその組み合わせもしくは混合物からなる群から選ばれた少なくとも1種類の導電性材料から形成することが好ましい。上部電極層形成材料の適当な例は、以

下に列挙するものに限定されるわけではないけれども、Pt, Pd, Ir, Ru, Rh, Re, Os, Au, Ag, Cu, PtO<sub>x</sub>, IrO<sub>x</sub>, RuO<sub>x</sub>, SrRuO<sub>3</sub> 及び LaNiO<sub>3</sub> (式中、x は、正の整数である) からなる群から選ばれた少なくとも 1 種類の材料を包含する。上部電極層は、単層の形で使用してもよく、さもなければ、2 層以上の多層構造体の形で使用してもよい。いずれの場合にも、上部電極層の厚さは広い範囲で変更することができ、好ましくは、約 1 ~ 1,000 nm の範囲であり、さらに好ましくは、約 1 ~ 100 nm の範囲である。

#### 【0040】

以上の層の他に、キャパシタ素子は、その上部電極層の上にパッシベーション膜をさらに含むこともできる。パッシベーション膜の適当な例は、以下に列挙するものに限定されるわけではないけれども、窒化シリコン層、酸化シリコン (SiO<sub>2</sub>) 層、酸化アルミニウム (アルミナ) 層などを包含する。窒化シリコン層を使用するのが好ましい。パッシベーション膜の厚さは広い範囲で変更することができるというものの、好ましくは、約 1 ~ 1,000 nm の範囲であり、さらに好ましくは、約 1 ~ 100 nm の範囲である。

#### 【0041】

本発明のキャパシタ素子において、キャパシタ構造体は、キャパシタ素子の表面もしくは裏面の部分あるいはキャパシタ素子の内部に単独もしくは 2 個以上を組み合わせて作り込むことができる。キャパシタ構造体の作り込みの方法及び手段は特に限定されるものではなく、常法及び常用の手段を使用することができる。処理の高速化などに対応するため、2 個以上のキャパシタ構造体を組み合わせて作り込むことが有利である。また、このような場合、複数のキャパシタ構造体は、デバイスのデザインや所望とする効果などに応じて、直列に接続してもよく、さもなければ、並列に接続してもよい。もちろん、必要ならば、直列接続と並列接続を併用してもよい。

#### 【0042】

本発明は、上記した薄膜キャパシタ素子の他に、本発明による薄膜キャパシタ素子の製造方法にある。本発明による薄膜キャパシタ素子の製造方法は、「課題を解決するための手段」の項に記載したように、基板と、その基板の上方に形成



された、誘電体層を下部電極層及び上部電極層で挟んで構成されたキャパシタ構造体とを含む薄膜キャパシタ素子を製造する方法であって、下記の工程：

基板上に下部電極層を形成する工程、

形成された下部電極層の上に、前式（I）により表される高誘電率の誘電材料から誘電体層を形成する工程、及び

形成された誘電体層の上に上部電極層を形成してキャパシタ構造体を完成する工程、

を含んでなることを特徴とする。

#### 【0043】

この本発明方法は、いろいろな形態で有利に実施することができる。好ましくは、本発明方法は、追加の工程、例えば、基板の上に絶縁層を形成する工程、基板と下部電極層の間に密着層を形成する工程、上部電極層の上にパッシベーション膜を形成する工程などをさらに含むことができる。また、本発明方法は、キャパシタ素子を酸素含有の周囲雰囲気中で100～900℃の温度でアニールする工程をさらに含むことが好ましい。もちろん、これらの追加の工程は、単独で使用してもよく、2工程以上を組み合わせ使用してもよい。

#### 【0044】

本発明による薄膜キャパシタ素子の製造方法は、キャパシタ素子及びその他のデバイスの製造においてよく知られ、一般的に使用されている方法をそのまま使用して、あるいは適宜変更した後、有利に実施することができる。適当な方法には、例えば、フォトリソグラフィ法、スパッタリング法、真空蒸着法、エッチング法などがある。よって、本発明方法の実施に用いられる各工程について、ここで詳細に説明することを省略し、成書や特許文献の参照に委ねることとする。

#### 【0045】

参考のために一例を示すと、図1に模式的に示した本発明の薄膜キャパシタ素子は、例えば図6及び図7に順を追って示す一連の工程（A）～（H）で有利に製造することができる。

#### 【0046】

まず、図6（A）に示すように、支持基板としてのシリコン基板1を用意する

。次いで、図 1 に参照番号 11 で示すキャパシタ構造体を形成するため、図 6 (B) に示す白金からなる下部電極層 2、図 6 (C) に示す複合酸化物からなる誘電体層 3、図 6 (D) に示す白金 Pt からなる上部電極層 4 を順次形成する。ここで、誘電体層 3 の材料としては、小型でかつ大容量を実現するために、高い比誘電率をもつ金属酸化物が有利に使用される。本発明の実施に好適な金属酸化物は、前記した通りである。また、キャパシタ構造体 11 の電極（下部電極層 2 及び上部電極層 4）の材料としては、高温環境下における耐酸化性に優れ、かつ誘電体層 3 の形成時における良好な結晶配向制御が可能な、白金 Pt やイリジウム Ir 等の貴金属が有利に使用される。

#### 【0047】

これらの一連の製造工程は、具体的には以下のように行なうことができる。

#### 【0048】

図 6 (B) に示した下部電極層 2 の形成工程としては、先ず、シリコン基板 1 としてシリコンウェハを使用し、該シリコンウェハ上に、スパッタリング法を使用して、酸化チタン  $TiO_2$  (20nm) 及び白金 Pt (100nm) を順次成膜させる。酸化チタン  $TiO_2$  (20nm) は、シリコン Si と白金 Pt との密着層（接着層）としての役割を果たすことができる。

#### 【0049】

この時、酸化チタン  $TiO_2$  のスパッタ条件は、例えば、基板温度 500℃、RF パワー 200W、誘導コイルパワー 30W、ガス圧力 0.1Pa、及び Ar/ $O_2$  比 7/1 である。

#### 【0050】

また、白金 Pt のスパッタ条件は、例えば、基板温度 400℃、DC パワー 100W、誘導コイルパワー 30W、ガス圧力 0.1Pa である。

#### 【0051】

図 6 (C) に示した誘電体層 3 の形成工程では、誘電材料として、本発明の要件を満足させるバリウム Ba、ストロンチウム Sr、イットリウム Y 及びチタン Ti から構成される金属酸化物、 $Ba_{(1-y)(1-x)}Sr_{(1-y)x}Y_yTi_{1+z}O_{3+\delta}$  を使用し、ゾル・ゲル法により誘電体層 3 を形成する。

## 【0052】

具体的には、先ず、アルコキシドからなる出発溶液をスピコート法（例えば、2000rpm / 30秒）により成膜する。なお、このスピコート条件では、1回のスピコートにつき約100nmの膜厚が得られる。

## 【0053】

その後、例えば400℃の温度で10分間の仮焼成（プリベーク）、及び例えば700℃の温度で10分間の本焼成（本ベーク）を行なうことにより金属酸化物を結晶化させ、膜厚100nm、比誘電率300、及び誘電損失2%以下の誘電体層3を形成する。

## 【0054】

図6（D）に示した上部電極層4の形成工程では、誘電体層3上に、下部電極層2の形成と同様にスパッタリング法を使用して、上部電極層4としての白金Pt層を膜厚100nmで成膜する。

## 【0055】

再び図1を参照すると、キャパシタ構造体11の側面は、図示されるように、下の層の端部が、上の層の端部よりも外側に張り出した、階段状に形成される。キャパシタ構造体11にこのような階段状の張り出し部を設けると、製造過程で白金材の断片（パーティクル）が発生した場合、その張り出し部で断片を受け止め、断片が誘電体層の側面に付着し、電極間のショートを引き起こすことを防止できる。

## 【0056】

次いで、図6（E）に示すように、下部電極層2からの電極引き出し用穴21を形成する。具体的には、フォトリソグラフィ法によりレジストマスクを形成した後、アルゴンArイオンミリング法により、上部電極層4を構成するPt膜とその下の誘電体層3を順次ドライエッチングする。

## 【0057】

上記のようにして電極引き出し用穴21を形成した後、ここでは図示しないが、キャパシタ構造体11の上面及び側面を覆うように、バリア層を形成してもよい。具体的には、例えば、バリア層形成材料である窒化シリコンSi<sub>3</sub>N<sub>4</sub>を、

スパッタリング法により約  $150\text{ }\mu\text{m}$  の膜厚で成膜することができる。窒化シリコン  $\text{Si}_3\text{N}_4$  の他には、酸化アルミニウム  $\text{Al}_2\text{O}_3$ 、酸化シリコン  $\text{SiO}_2$  等も、バリア層形成材料として使用可能である。

#### 【0058】

引き続いて、図7 (F) に示すように、キャパシタ構造体 11 の上に、それを覆うようにして、例えばポリイミド樹脂からなる保護絶縁層 5 を形成する。

#### 【0059】

具体的には、まず、感光性ポリイミドのワニス、例えば  $3000\text{ rpm}$  で  $30$  秒間スピコートを行ない、 $4\text{ }\mu\text{m}$  の膜厚で成膜する。次いで、 $60^\circ\text{C}$  の温度で  $10$  分間、加熱（プリベーク）し、その後、露光、現像工程を経て、 $400^\circ\text{C}$  の温度で  $2$  時間、加熱（本ベーク）を行なう。 $2\text{ }\mu\text{m}$  厚のポリイミド  $\text{PI}$  膜からなる保護絶縁膜 5 が得られる。

#### 【0060】

次いで、保護絶縁膜 5 の所定の部位に図示されるようにコンタクトホール 22 を形成する。具体的には、フォトリソグラフィ法により図示しないレジストマスクを形成した後、アルゴン  $\text{Ar}$  イオンミリング法によりドライエッチングすることにより、保護絶縁膜 5 の不要部分を選択的に除去し、下部電極層 2 を露出させる。

#### 【0061】

引き続いて、電極パッド及びバンプの形成工程に移行する。

#### 【0062】

図7 (G) に示すように、アンダーバンプメタル (UBM) として、キャパシタ構造体 11 の各電極層とバンプとを接続する電極パッド 6 及び 16 を、それぞれスパッタリング法及びめっきにより形成する。最後に、図7 (H) に示すように、形成した電極パッド 6 及び 16 の上に、それぞれ、回路基板と電気的な接続を行なう端子としてのバンプ 7 及び 17 を形成する。なお、バンプ 7 及び 17 の材料としては、一般にはんだが使用されるが、はんだ材料が電極パッド中に拡散して、電極層を構成する白金  $\text{Pt}$  と反応し、該白金の抵抗値を変えてしまう等の問題が起こり得る。そのため、電極パッドの材料としては、上記のようなはんだ

侵食の回避、はんだ濡れ性の向上等を考慮して、クロムCr、チタンTi、銅Cu、ニッケルNi等を使用することが望ましい。

#### 【0063】

以上の製造工程により、図1に示した薄膜キャパシタ素子10を製造することができる。この薄膜キャパシタ素子10の場合、吸湿性を有し所定の条件下で水分を放出するポリイミド樹脂（保護絶縁層5）と、キャパシタ構造体11とは、物理的に分離される。すなわち、ポリイミド樹脂から放出される水分がイオン化されていない状態で、触媒作用を有する電極部に到達する前に遮断するため、ポリイミド樹脂から放出された水分が、触媒作用を有する白金Pt（上部電極層4）の表面に到達することが阻止される。従って、上部電極層4と誘電体層3との界面で、誘電体層3を構成する金属酸化物が還元されるという不都合な問題は回避される。このような構成を採用すると、優れた高周波追従特性が得られるとともに、特性劣化の少ない薄膜キャパシタ素子10を提供することが可能となる。

#### 【0064】

さらに加えて、本発明は、上述のような本発明による薄膜キャパシタ素子を搭載した電子装置にある。ここで、薄膜キャパシタ素子の搭載方法や搭載部位は特に限定されるものではなく、例えば、本発明のキャパシタ素子をデバイスの上部及び（又は）内部に搭載することができる。すなわち、本発明の電子装置は、少なくとも1個の電子素子及び少なくとも1個の本発明の薄膜キャパシタ素子を含んでなることを特徴とする。

#### 【0065】

本発明による電子装置において、それに搭載されるべき電子素子は、特に限定されるものではない。本発明の実施に好適な電子素子の例は、以下に列挙するものに限定されるわけではないけれども、電子装置で常用の素子、例えばキャパシタ、レジスタ、インダクタ、半導体素子、例えばLSIチップ、VLSIチップ等、配線、電極などを包含する。また、したがって、本発明の電子装置は、広範囲の電子装置、例えば半導体装置などを包含する。電子装置の典型的な例は、以下に列挙するものに限定されるわけではないけれども、マイクロ波及びRFデバイス、デカップリングキャパシタ用の電荷蓄積デバイス、DRAMデバイス、そ

の他を包含する。

#### 【0066】

前記した通り、本発明の薄膜キャパシタ素子は、複数個を組み合わせて電子装置に搭載する場合、直列もしくは並列のいずれにも接続することができる。

#### 【0067】

図8は、本発明による電子装置であって、複数個の薄膜キャパシタ素子が直列接続されている例の断面図である。図示されるように、薄膜キャパシタ素子は、シリコンウエハの加工によって形成されたシリコン基板1の上に、下部電極層2、誘導体層3及び上部電極層4からなる第1のキャパシタ素子を備えることに加えて、それに直列に接続された第2のキャパシタ素子（下部電極層2、誘導体層3及び上部電極層4）も有している。このような直列接続を通じて、素子の全体的なキャパシタンスを下げることができる。

#### 【0068】

図9は、本発明による電子装置であって、複数個の薄膜キャパシタ素子が並列接続されている例の断面図である。図示されるように、2個のキャパシタ構造体11が並列に配置されている。それぞれのキャパシタ構造体11は、先に図6及び図7を参照して説明したように、下部電極層2、誘導体層3及び上部電極層4からなっている。また、それぞれのキャパシタ構造体11は、電極パッド6（16）を介してバンプ7（17）と接続されかつ保護絶縁膜5で封止されている。

#### 【0069】

#### 【実施例】

引き続き、本発明をその実施例を参照して説明する。なお、本発明は、これらの実施例によって限定されるものでないことは言うまでもない。

#### 実施例1

本例では、図10に示すような層構成をもった薄膜キャパシタ素子を製造した。薄膜キャパシタ素子は、図示されるように、シリコンウエハの加工によって形成されたシリコン基板1の上に、下部電極層2、誘導体層3及び上部電極層4からなるキャパシタ構造体を備えている。

#### 【0070】

シリコン基板を熱酸化してその表面にシリコン酸化膜 ( $\text{SiO}_2$ ) を形成した後、その  $\text{SiO}_2$  膜の上に適当な蒸着法を使用して  $\text{TiO}_2$  からなる密着層を形成した。ここで使用した蒸着法は、RF マグネトロンスパッタ法である。

#### 【0071】

次いで、下部電極層を形成するため、白金 (Pt) を RF マグネトロンスパッタ法で成膜した。膜厚 100 nm の下部電極層が得られた。

#### 【0072】

下部電極層の形成後、バリウムストロンチウムチタネートの Y (イットリウム) 変性組成物 ( $\text{Ba}_{0.689}\text{Sr}_{0.296}\text{Y}_{0.015}\text{TiO}_3$ ) を出発物質として使用して、化学溶液蒸着法 (CSD 法) によって誘電体層 (膜厚: 80 nm) を成膜した。具体的には、BST の Y 変性組成物の溶液を下部電極層の上に所定の膜厚で塗布した後、空气中で、350℃ のホットプレート上で5分間にわたって加熱 (ベーク) した。引き続いて、得られた CSD ( $\text{Ba}_{0.689}\text{Sr}_{0.296}\text{Y}_{0.015}\text{TiO}_3$ ) 薄膜を結晶化させるため、700℃ で5分間にわたって迅速熱アニールを行った。その後、下部電極層の形成の場合と同様な手法に従って、白金 (Pt) を RF マグネトロンスパッタ法で成膜して膜厚 100 nm の上部電極層を形成した。さらに続けて、上部電極層、誘電体層 (BSYTO 薄膜) 及び下部電極層を順次エッチングして、図 10 に示すような薄膜キャパシタ素子を完成した。

#### 【0073】

得られた薄膜キャパシタ素子について、その容量の電圧追従性を測定したところ、図 11 にプロットしたようなグラフが得られた。図 11 のグラフから、印加電圧がゼロ (0 V) の時、容量の電圧追従性及び容量密度の大きさの両面において顕著な改良が得られたことがわかる。

#### 実施例 2

前記実施例 1 に記載の手法を繰り返したが、本例では、次のようにして薄膜キャパシタ素子を製造した。

#### 【0074】

シリコン基板を熱酸化してその表面にシリコン酸化膜 ( $\text{SiO}_2$ ) を形成した後、その  $\text{SiO}_2$  膜の上に RF マグネトロンスパッタ法を使用して  $\text{TiO}_2$  から

なる密着層を形成した。

#### 【0075】

次いで、白金（Pt）をRFマグネトロンスパッタ法で成膜して膜厚100nmの下部電極層を形成した。

#### 【0076】

下部電極層の形成後、バリウムストロンチウムチタネートのY（イットリウム）変性組成物（ $\text{Ba}_{0.493}\text{Sr}_{0.493}\text{Y}_{0.014}\text{Ti}_{1+z}\text{O}_{3+\delta}$ ）を出発物質として使用して、化学溶液蒸着法（CSD法）によって誘電体層（膜厚：80nm）を成膜した。引き続き、得られたCSD（ $\text{Ba}_{0.493}\text{Sr}_{0.493}\text{Y}_{0.014}\text{Ti}_{1+z}\text{O}_{3+\delta}$ ）薄膜を結晶化させるため、700℃で5分間にわたって迅速熱アニールを行った。その後、下部電極層の形成の場合と同様な手法に従って、白金（Pt）をRFマグネトロンスパッタ法で成膜して膜厚100nmの上部電極層を形成した。さらに続けて、上部電極層、誘電体層（BSTO薄膜）及び下部電極層を順次エッチングして、目的とする薄膜キャパシタ素子を完成した。

#### 【0077】

得られた薄膜キャパシタ素子について、その容量の電圧追従性を測定したところ、前記実施例1の場合と同様に、印加電圧が0Vの時、容量の電圧追従性及び容量密度の大きさの両面において顕著な改良が得られた。

### 実施例3

前記実施例1に記載の手法を繰り返したが、本例では、次のようにして薄膜キャパシタ素子を製造した。

#### 【0078】

シリコン基板を熱酸化してその表面にシリコン酸化膜（ $\text{SiO}_2$ ）を形成した後、その $\text{SiO}_2$ 膜の上にRFマグネトロンスパッタ法を使用して $\text{TiO}_2$ からなる密着層を形成した。

#### 【0079】

次いで、白金（Pt）をRFマグネトロンスパッタ法で成膜して膜厚100nmの下部電極層を形成した。

#### 【0080】



下部電極層の形成後、バリウムストロンチウムチタネートのY（イットリウム）変性組成物( $\text{Ba}_{0.689}\text{Sr}_{0.296}\text{Y}_{0.015}\text{TiO}_3$ )を出発物質として使用して、RFマグネトロンスパッタ法によって誘電体層（膜厚：100 nm）を成膜した。RFマグネトロンスパッタ法の成膜条件は、次の通りであった：基板温度550℃、RF出力100W、 $\text{Ar}/\text{O}_2 = 30/3.7$ 、圧力10mTorr。その後、下部電極層の形成の場合と同様な手法に従って、白金（Pt）をRFマグネトロンスパッタ法で成膜して膜厚100 nmの上部電極層を形成した。さらに続けて、上部電極層、誘電体層（BSTO薄膜）及び下部電極層を順次エッチングして、目的とする薄膜キャパシタ素子を完成した。

#### 【0081】

得られた薄膜キャパシタ素子について、その容量の電圧依存性を測定したところ、前記実施例1の場合と同様に、印加電圧が0Vの時、容量の電圧依存性及び容量密度の大きさの両面において顕著な改良が得られた。

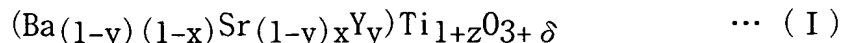
#### 【0082】

以上、本発明をその実施の形態及び実施例について詳細に説明した。最後に、本発明の好ましい態様を整理すると、以下に付記する通りである。

#### 【0083】

（付記1） 基板と、その基板の上方に形成された、誘電体層を下部電極層及び上部電極層で挟んで構成されたキャパシタ構造体とを含む薄膜キャパシタ素子であって、

前記誘電体層が、次式（I）により表される高誘電率の誘電材料：



（上式において、 $0 < x < 1$ であり、 $0.007 < y < 0.02$ であり、 $-1 < \delta < 0.5$ であり、そして $(\text{Ba}_{(1-y)(1-x)} + \text{Sr}_{(1-y)x})/\text{Ti}_{1+z} < 1$ である）からなることを特徴とする薄膜キャパシタ素子。

#### 【0084】

（付記2） 前記誘電体層が、1～300 nmの厚さを有することを特徴とする付記1に記載の薄膜キャパシタ素子。

#### 【0085】

(付記 3) 前記基板が、ガラス、半導体材料及び樹脂材料からなる群から選ばれた絶縁材料からなることを特徴とする付記 1 又は 2 に記載の薄膜キャパシタ素子。

【0086】

(付記 4) 前記基板が、半導体材料もしくはウエハからなることを特徴とする付記 1～3 のいずれか 1 項に記載の薄膜キャパシタ素子。

【0087】

(付記 5) 前記半導体材料もしくはウエハが、Si, Ge, SiGe, GaAs, InAs, InP 及び周期律表の第 III 族及び第 V 族の元素から誘導されたその他の化合物からなることを特徴とする付記 4 に記載の薄膜キャパシタ素子。

【0088】

(付記 6) 前記基板の上にさらに、少なくとも 1 層の絶縁層が積層されており、かつ前記絶縁層が、金属の酸化物、窒化物又はオキシ窒化物、高誘電率の金属酸化物、キセロゲル、有機樹脂又はその組み合わせもしくは混合物からなる群から選ばれた絶縁材料を含むことを特徴とする付記 1～4 のいずれか 1 項に記載の薄膜キャパシタ素子。

【0089】

(付記 7) 前記絶縁層が多層構造を有していることを特徴とする付記 6 に記載の薄膜キャパシタ素子。

【0090】

(付記 8) 前記基板と前記キャパシタ構造体の間に密着層をさらに含み、かつ前記密着層が、貴金属、貴金属の合金、貴金属と非貴金属の合金、貴金属の導電性酸化物、絶縁性の金属酸化物、絶縁性の金属窒化物、導電性の金属窒化物及びその組み合わせもしくは混合物からなる群から選ばれた少なくとも 1 種類の材料を含むことを特徴とする付記 1～7 のいずれか 1 項に記載の薄膜キャパシタ素子。

【0091】

(付記 9) 前記密着層が、Pt, Ir, Zr, Ti, TiO<sub>x</sub>, IrO<sub>x</sub>, PtO<sub>x</sub>, ZrO<sub>x</sub>, TiN, TiAlN, TaN 及び TaSiN からなる群から選ばれた少なくとも 1 種類の材料を含む

ことを特徴とする付記 8 に記載の薄膜キャパシタ素子。

【0092】

(付記 10) 前記密着層が多層構造を有していることを特徴とする付記 8 又は 9 に記載の薄膜キャパシタ素子。

【0093】

(付記 11) 前記下部電極層が、遷移金属、貴金属、貴金属の合金、貴金属と非貴金属の合金、導電性酸化物及びその組み合わせもしくは混合物からなる群から選ばれた少なくとも 1 種類の材料を含むことを特徴とする付記 1 ～ 10 のいずれか 1 項に記載の薄膜キャパシタ素子。

【0094】

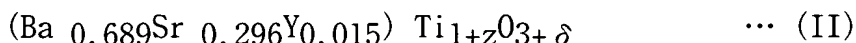
(付記 12) 前記下部電極層が、Pt, Pd, Ir, Ru, Rh, Re, Os, Au, Ag, Cu, PtO<sub>x</sub>, IrO<sub>x</sub> 及び RuO<sub>x</sub> (式中、x は、正の整数である) からなる群から選ばれた少なくとも 1 種類の材料を含むことを特徴とする付記 1 ～ 11 のいずれか 1 項に記載の薄膜キャパシタ素子。

【0095】

(付記 13) 前記下部電極層が多層構造を有していることを特徴とする付記 1 ～ 12 のいずれか 1 項に記載の薄膜キャパシタ素子。

【0096】

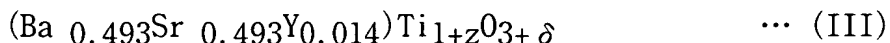
(付記 14) 前記誘電体層の誘電材料が、次式 (II) :



によって表され、式中、 $0.02 < z < 0.05$  及び  $-0.3 < \delta < 0.3$  であることを特徴とする付記 1 ～ 13 のいずれか 1 項に記載の薄膜キャパシタ素子。

【0097】

(付記 15) 前記誘電体層の誘電材料が、次式 (III) :



によって表され、式中、 $0.02 < z < 0.05$  及び  $-0.3 < \delta < 0.3$  であることを特徴とする付記 1 ～ 13 のいずれか 1 項に記載の薄膜キャパシタ素子。

【0098】

(付記 16) 前記上部電極層が、遷移金属、貴金属、貴金属の合金、貴金属

と非貴金属の合金、導電性酸化物及びその組み合わせもしくは混合物からなる群から選ばれた少なくとも 1 種類の材料を含むことを特徴とする付記 1 ～ 15 のいずれか 1 項に記載の薄膜キャパシタ素子。

【0099】

(付記 17) 前記上部電極層が、Pt, Pd, Ir, Ru, Rh, Re, Os, Au, Ag, Cu, PtOx, IrOx, RuOx, SrRuO<sub>3</sub> 及び LaNiO<sub>3</sub> (式中、x は、正の整数である) からなる群から選ばれた少なくとも 1 種類の材料を含むことを特徴とする付記 1 ～ 16 のいずれか 1 項に記載の薄膜キャパシタ素子。

【0100】

(付記 18) 前記上部電極層が多層構造を有していることを特徴とする付記 1 ～ 17 のいずれか 1 項に記載の薄膜キャパシタ素子。

【0101】

(付記 19) 前記上部電極層の上に、パッシベーション膜をさらに含むことを特徴とする付記 1 ～ 18 のいずれか 1 項に記載の薄膜キャパシタ素子。

【0102】

(付記 20) 前記パッシベーション膜が、窒化シリコン層を含むことを特徴とする付記 19 に記載の薄膜キャパシタ素子。

【0103】

(付記 21) 直列に接続された少なくとも 2 個の前記キャパシタ構造体を含むことを特徴とする付記 1 ～ 20 のいずれか 1 項に記載の薄膜キャパシタ素子。

【0104】

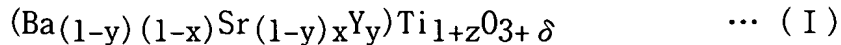
(付記 22) 並列に接続された少なくとも 2 個の前記キャパシタ構造体を含むことを特徴とする付記 1 ～ 20 のいずれか 1 項に記載の薄膜キャパシタ素子。

【0105】

(付記 23) 基板と、その基板の上方に形成された、誘電体層を下部電極層及び上部電極層で挟んで構成されたキャパシタ構造体とを含む薄膜キャパシタ素子を製造する方法であって、

基板上に下部電極層を形成する工程と、

前記下部電極層の上に、次式 (I) により表される高誘電率の誘電材料：



(上式において、 $0 < x < 1$ であり、 $0.007 < y < 0.02$ であり、 $-1 < \delta < 0.5$ であり、そして  $(\text{Ba}_{1-y}(\text{1-x}) + \text{Sr}_{1-y}\text{x})/\text{Ti}_{1+z} < 1$ である) から誘電体層を形成する工程と、

前記誘電体層の上に上部電極層を形成してキャパシタ構造体を完成する工程とを含んでなることを特徴とする薄膜キャパシタ素子の製造方法。

#### 【0106】

(付記24) 前記誘電体層を1～300nmの厚さで形成することを特徴とする付記23に記載の薄膜キャパシタ素子の製造方法。

#### 【0107】

(付記25) 前記基板の上に絶縁層を形成する工程をさらに含むことを特徴とする付記23又は24に記載の薄膜キャパシタ素子の製造方法。

#### 【0108】

(付記26) 前記基板と前記下部電極層の間に密着層を形成する工程をさらに含むことを特徴とする付記23～25のいずれか1項に記載の薄膜キャパシタ素子の製造方法。

#### 【0109】

(付記27) 前記上部電極層の上にパッシベーション膜を形成する工程をさらに含むことを特徴とする付記23～26のいずれか1項に記載の薄膜キャパシタ素子の製造方法。

#### 【0110】

(付記28) 前記キャパシタ素子を酸素含有の周囲雰囲気中で100～900℃の温度でアニールする工程をさらに含むことを特徴とする付記23～27のいずれか1項に記載の薄膜キャパシタ素子の製造方法。

#### 【0111】

(付記29) 少なくとも1個の電子素子及び少なくとも1個の、付記1～22のいずれか1項に記載の薄膜キャパシタ素子を含んでなることを特徴とする電子装置。

#### 【0112】

(付記 30) 前記電子素子が、常用タイプのキャパシタ、レジスタ、インダクタ、半導体素子、配線層及び電極層からなる群から選ばれることを特徴とする付記 29 に記載の電子装置。

#### 【0113】

##### 【発明の効果】

以上に詳細に説明したように、本発明によれば、容量の高い電圧追従性と高い容量密度を同時に満足させることのできる薄膜キャパシタ素子を提供することができる。また、本発明の薄膜キャパシタ素子は、許容し得ない程度に大きなリーク（電流漏洩）や誘電損失を引き起こすことなくより高い温度で取り扱うことができる。さらに、本発明の薄膜キャパシタ素子の場合、その製造に使用する基板に対する制限がないので、広範囲の基板を任意に使用することができる。さらにまた、本発明の薄膜キャパシタ素子は、高性能な電子装置、例えば半導体装置を製造するのにとりわけ有用である。

#### 【0114】

さらに加えて、本発明によれば、本発明の薄膜キャパシタ素子を製造するのに有用な製造方法も提供される。

#### 【0115】

さらにまた、本発明によれば、本発明の薄膜キャパシタ素子を備えた高性能な電子装置も提供される。

##### 【図面の簡単な説明】

#### 【図 1】

本発明による薄膜キャパシタ素子の好ましい 1 実施形態を模式的に示した断面図である。

#### 【図 2】

$(\text{Ba}+\text{Sr})/\text{Ti} < 1$  又は  $(\text{Ba}+\text{Sr})/\text{Ti} > 1$  で、 $\text{Ba}/\text{Sr}=7/3$ 、 $z = 0$  及び  $\delta = 0$  の場合の、 $Y$  (at %) と比誘電率の関係をプロットしたグラフである。

#### 【図 3】

$(\text{Ba}+\text{Sr})/\text{Ti} < 1$ 、 $\text{Ba}/\text{Sr} = 7/3$ 、 $z = 0$  及び  $\delta = 0$  の場合の、容量損失  $\tan \delta$  (%) と容量密度の関係をプロットしたグラフである。

**【図 4】**

(Ba+Sr)/Ti < 1, Ba/Sr=7/3, z = 0 及び  $\delta=0$  の場合の、Y (a t %) と漏洩電流の関係をプロットしたグラフである。

**【図 5】**

(Ba+Sr)/Ti < 1, Ba/Sr=7/3, z = 0 及び  $\delta=0$  の場合の、Y (a t %) と容量密度の電圧追従性の関係をプロットしたグラフである。

**【図 6】**

図 1 に示した薄膜キャパシタ素子の製造方法の前半を順に示した断面図である。

**【図 7】**

図 1 に示した薄膜キャパシタ素子の製造方法の後半を順に示した断面図である。

**【図 8】**

本発明による電子装置の好ましい 1 実施形態を模式的に示した断面図である。

**【図 9】**

本発明による電子装置のもう 1 つの好ましい実施形態を模式的に示した断面図である。

**【図 10】**

実施例 1 で製造した Y-変性 BSTO キャパシタ構造体を模式的に示した断面図である。

**【図 11】**

図 10 の 1.5 a t % Y-変性 BSTO キャパシタ構造体で、(Ba+Sr)/Ti < 1, Ba/Sr=7/3, z = 0 及び  $\delta=0$  の場合の、印加電圧と容量の電圧追従性の関係をプロットしたグラフである。

**【符号の説明】**

- 1…基板
- 2…下部電極層
- 3…誘電体層
- 4…上部電極層

5…保護絶縁層

6…電極パッド

7…はんだバンプ

1 0…薄膜キャパシタ素子

1 1…キャパシタ構造体

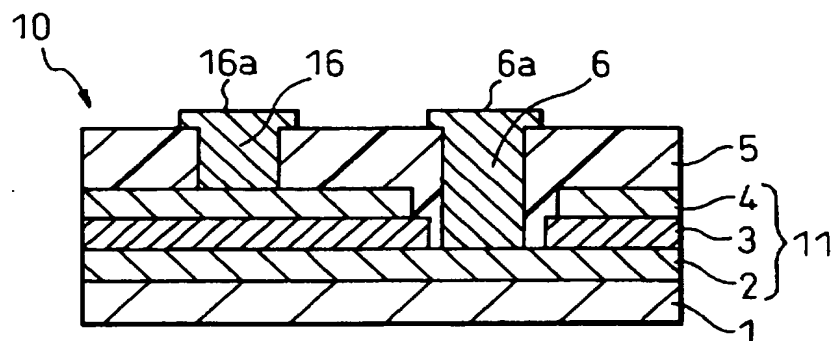


【書類名】

図面

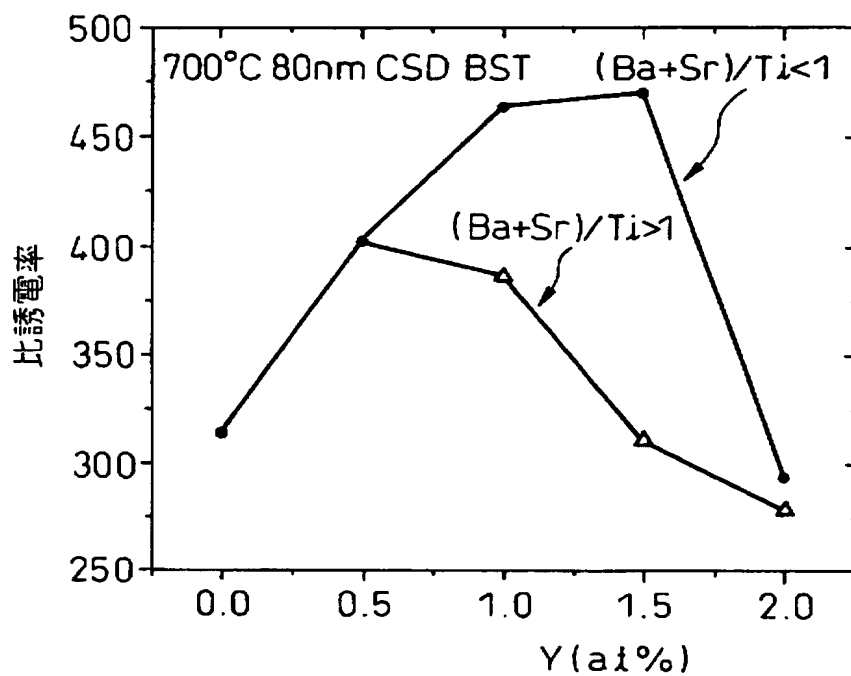
【図 1】

図 1



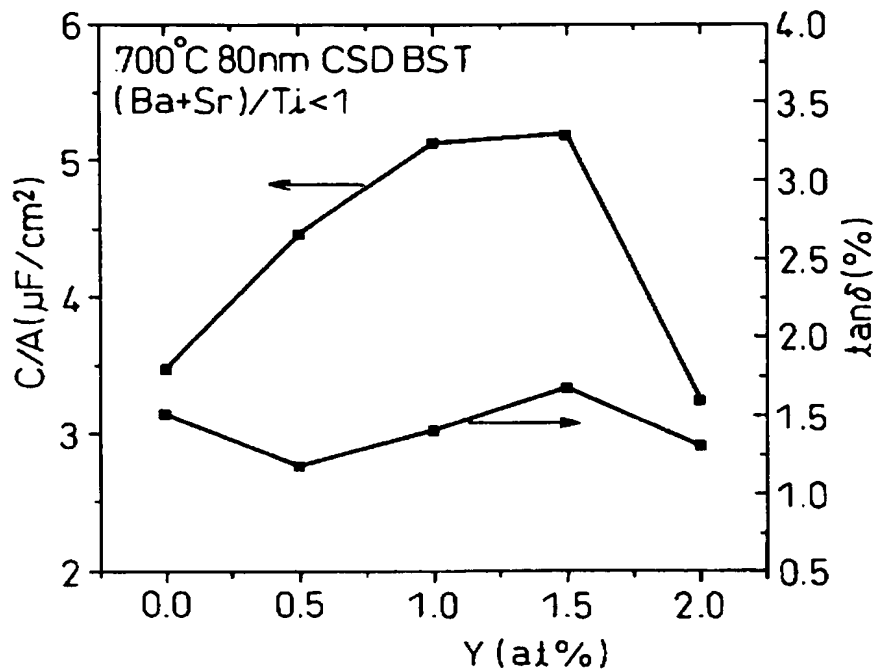
【図 2】

図 2



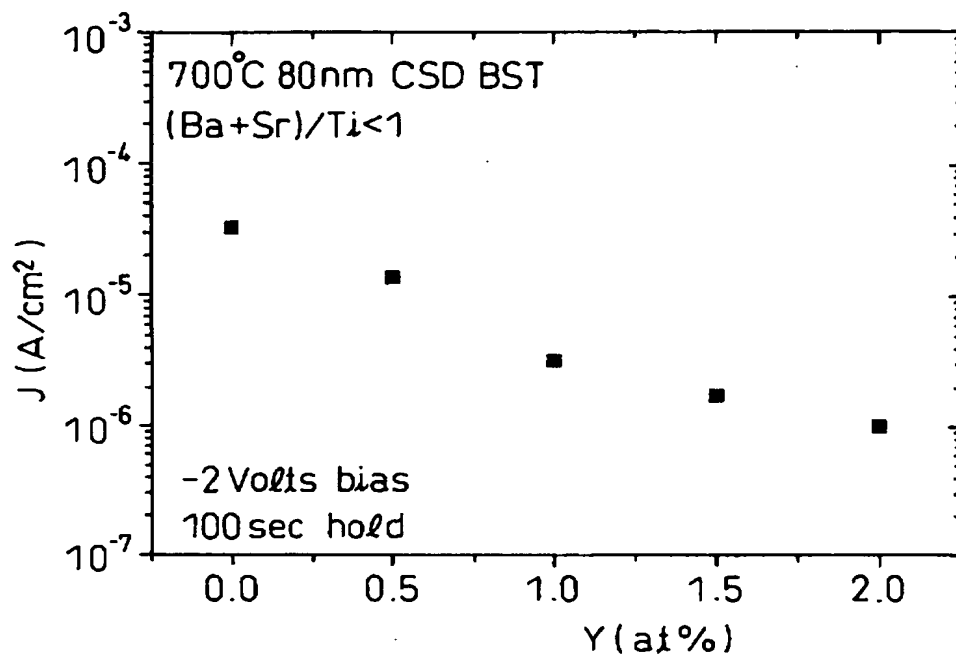
【図 3】

図 3



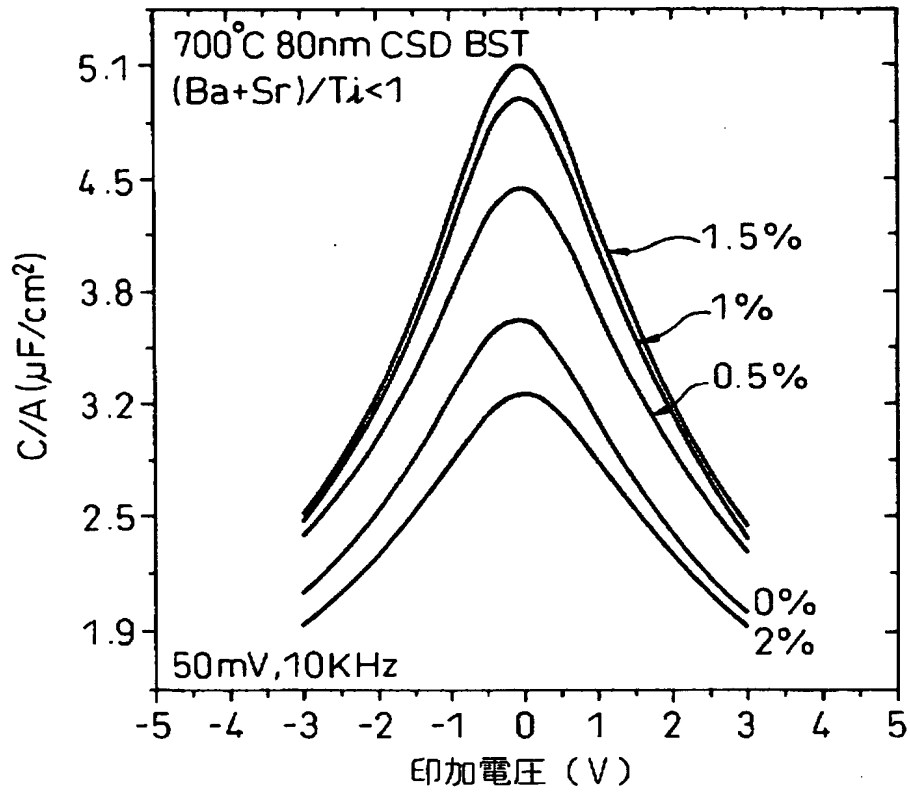
【図 4】

図 4



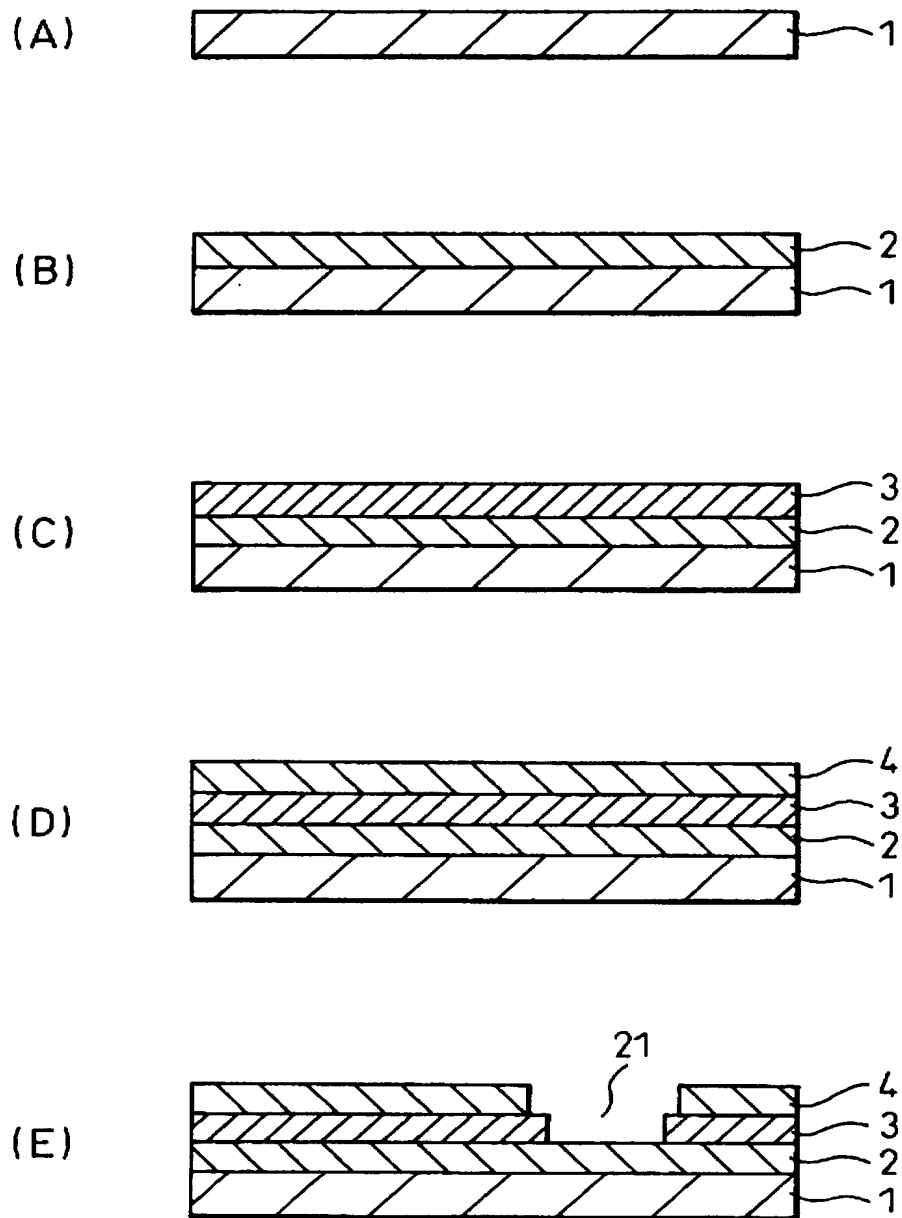
【図 5】

図 5



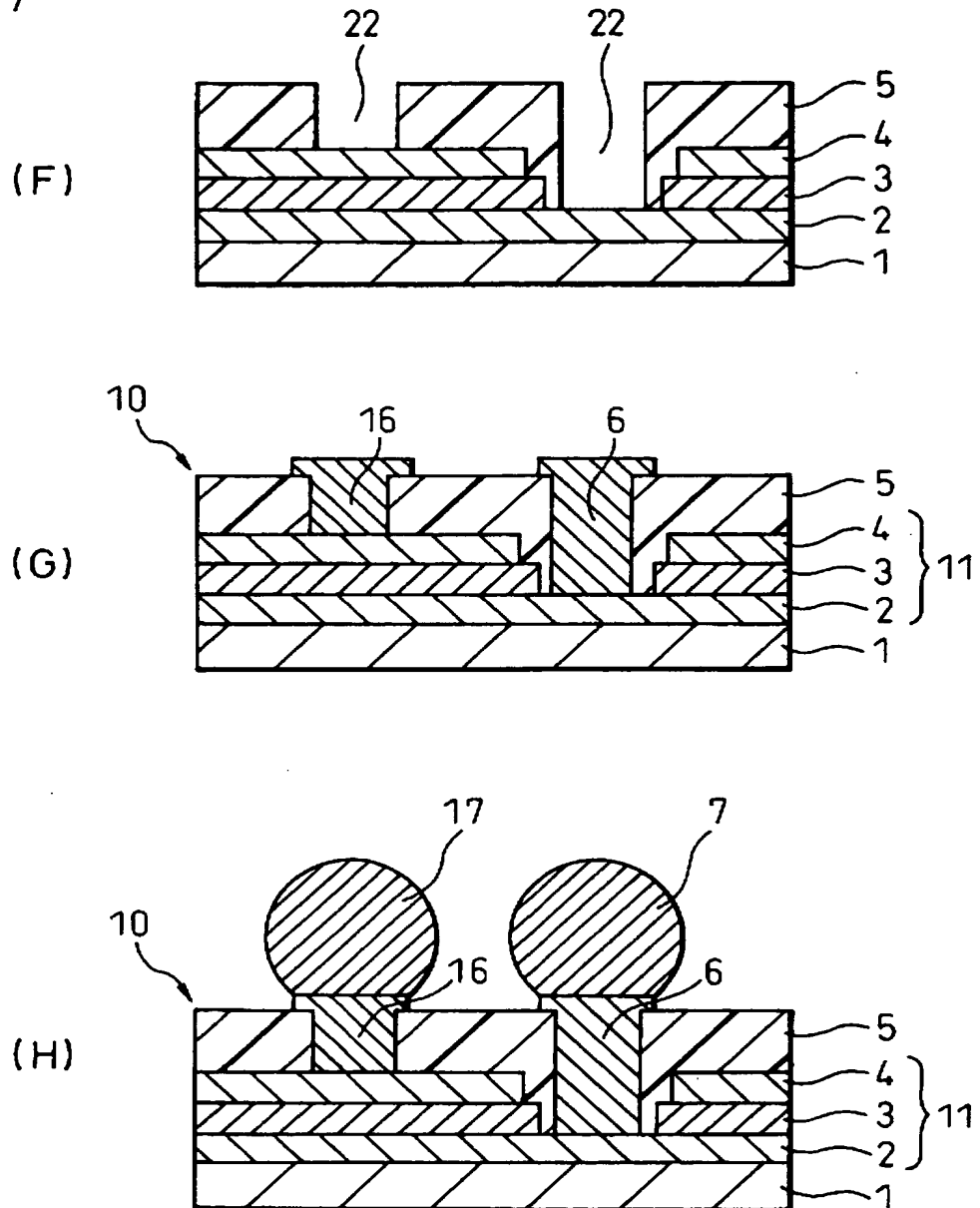
【図 6】

図 6



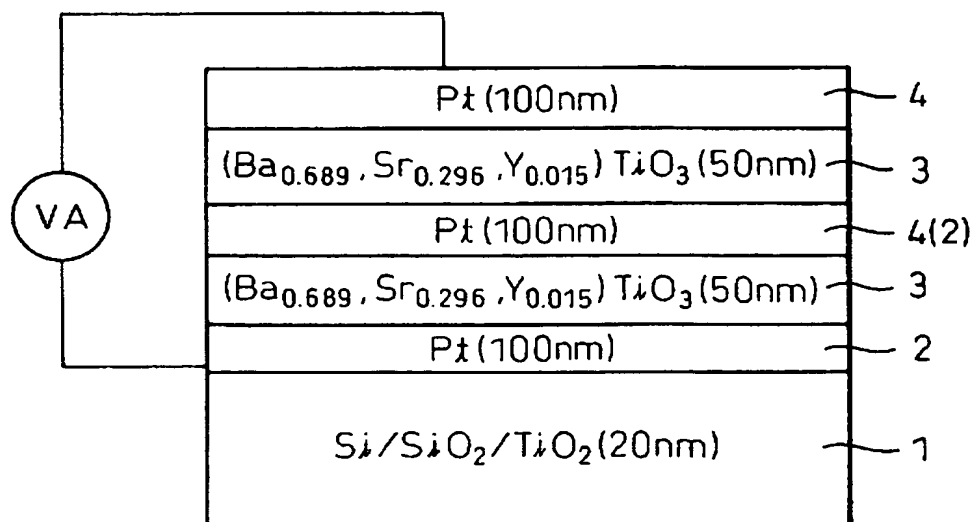
【図 7】

図 7



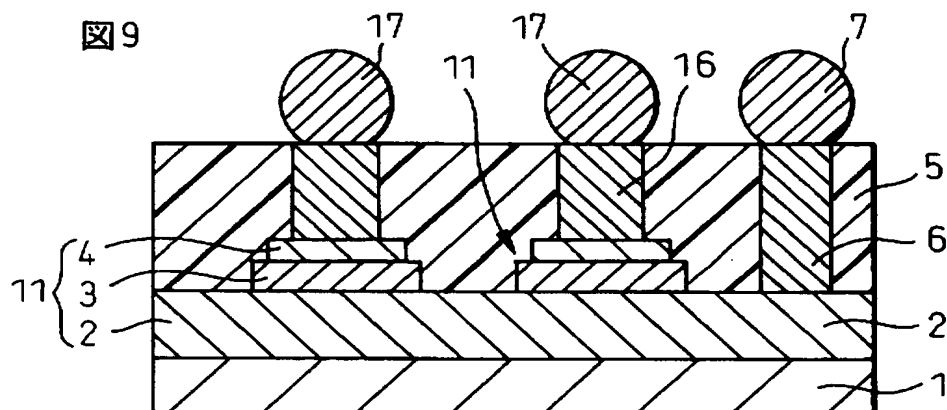
【図 8】

図 8



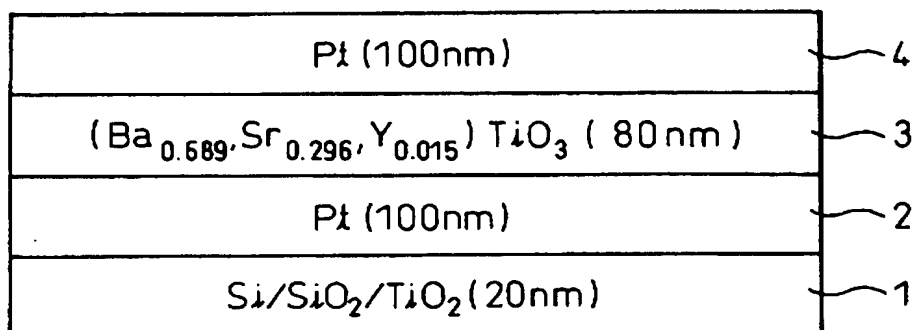
【図 9】

図 9



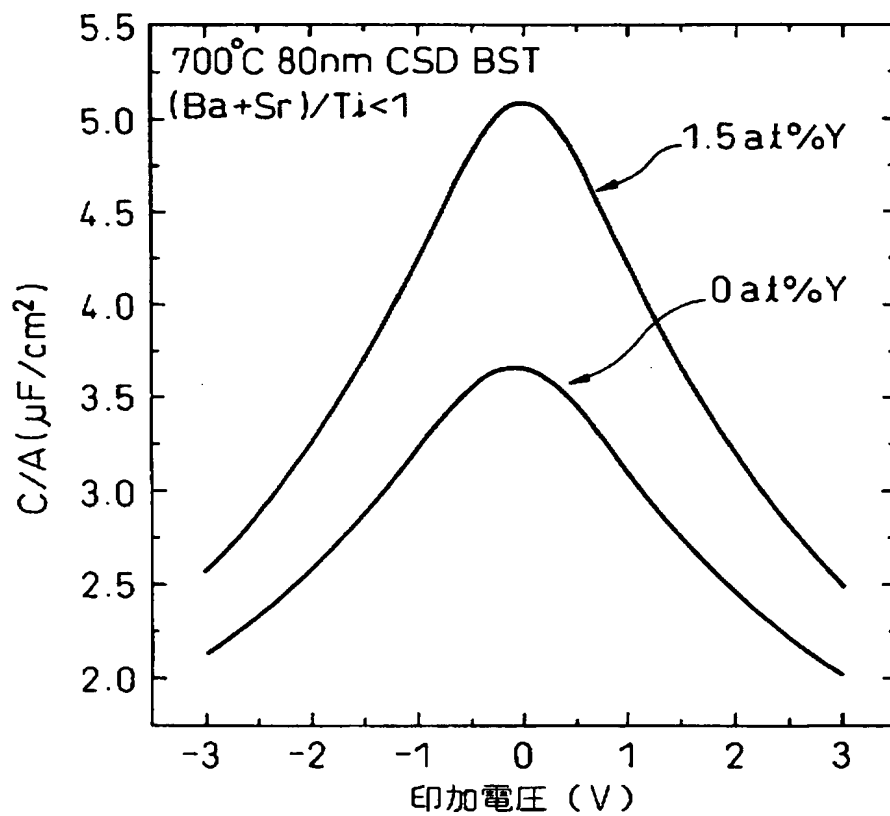
【図 10】

図 10



【図 11】

図 11



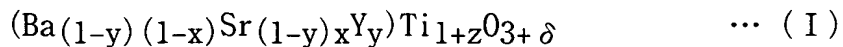


【書類名】 要約書

【要約】

【課題】 容量の高い電圧追従性と高い容量密度を同時に満足させることのできる薄膜キャパシタ素子を提供すること。

【解決手段】 誘電体層を下部電極層及び上部電極層で挟んで構成されたキャパシタ構造体を含む薄膜キャパシタ素子において、誘電体層が、次式（I）により表される高誘電率の誘電材料：



（上式において、 $0 < x < 1$ であり、 $0.007 < y < 0.02$ であり、 $-1 < \delta < 0.5$ であり、そして  $(\text{Ba}_{1-y}(1-x) + \text{Sr}_{1-y}\text{x})/\text{Ti}_{1+z} < 1$ である）からなるように構成する。

【選択図】 図 1

特願 2 0 0 3 - 0 6 6 7 8 7

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社